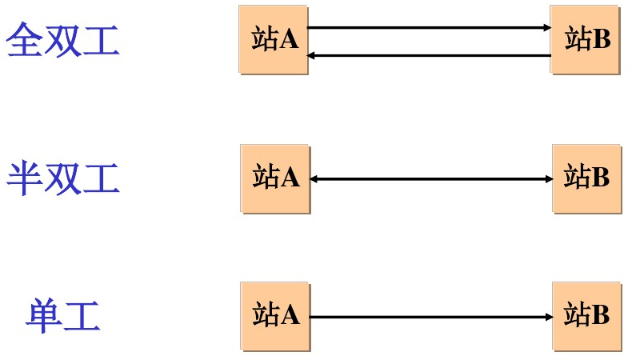
可编程串行接口芯片Intel 8251a

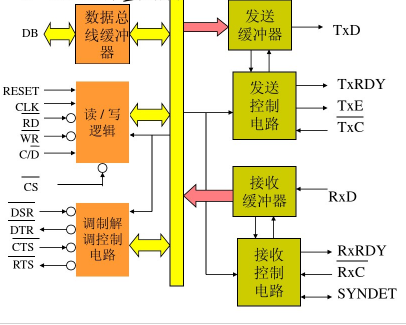
1. 串行通信

将数据分解成二进制位，用一条信号线一位一位顺序传送的方式。

 传输制式：  
在进行串行通信时，根据传送的波特率来确定发送的时钟和接收时钟的频率。

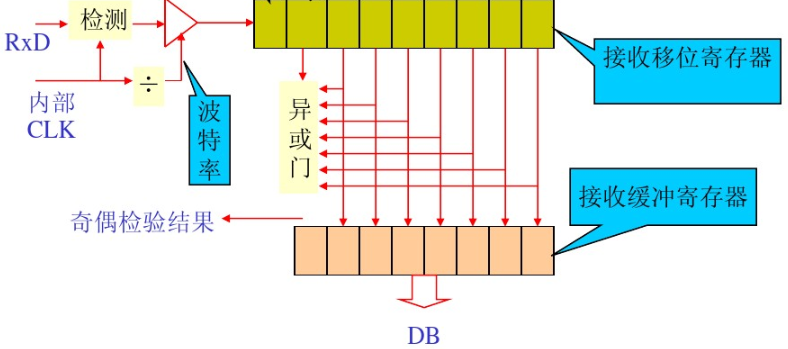
1. 串口芯片8251a

Intel 8251A是一种通用的同步异步接收/发送器芯片。它作为一种外围器件，可通过编程选用某一种串行通信技术，8251A能够以单工、半双工、全双工的方式进行通信，并且提供一些基本的控制信号，可以方便地与MODEM连接。

8251内部结构：  
数据总线缓冲器是CPU与8251A之间的数据接口，它包含3个8位缓冲寄存器，其中两个寄存器分别用来存放CPU从8251A读取的状态信息或数据，一个寄存器存放CPU向8251A写入的控制字或数据总线缓冲器将8251A的8条数据线D7~D0和CPU的系统数据总线相连。

接收器

作用：接收器接收在RxD上的串行数据并按规定的格式转换为并行数据，存放在接收数据缓冲器中。

过程：（异步方式）当8251允许接收并准备好接收数据时，检测RxD端，当检测到起始位（低电平）后，使用16倍率的内部CLK，连续检测8个0确认。然后按波特率移位、检测RxD，直至停止位。内部删除起始、奇偶、停止位接收缓冲寄存器后，使RxRDY为高，向CPU提出中断申请。

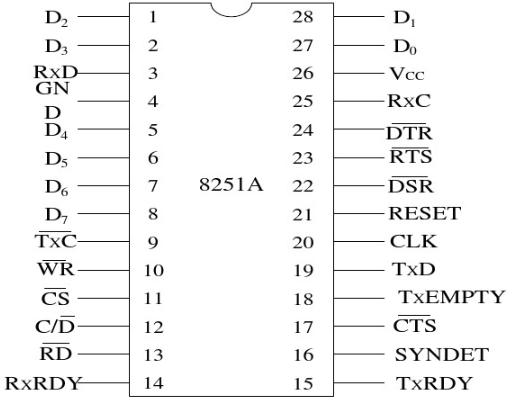
发送器

过程：CPU执行输出指令，并行数据🡪发送缓冲器。

发送缓冲器🡪发送移位寄存器，向CPU提出中断申请（TxRDY = 1）。

内部产生起始、奇偶检验、停止位，按约定的波特率从TxD输出。

当数据全部输出结束，在TXD发出连续低电平（TxE = 1）。

8251A引脚排列如图所示：  
引脚功能：  
 RxD: 接收数据，从RxD端串行输入

RxRDY: 接收数据准备好，表示接收数据缓冲器已收到一个字符数据，CPU可采用中断或查询方式读取数据

SYNDET/BRKDET: 同步检测/断点检测

同步检测：在内同步方式，当8251检测到同步字符，SYNDET输出为高电平，表明8251A已处于同步状态。CPU执行一次读操作后，SYNDET自动复位；在外同步方式，当SYNDET引脚有一个正跳变脉冲，8251在下一个接收时钟的上升沿开始接收字符，一旦达到同步，SYNDET引脚的高电平即可撤除。

异步方式（断点检测）：当8251从RxD端连续收到两个由全“0”组成的字符时，该引脚输出为高电平，表示当前线路上无数据可读，只有当RxD端收到1个“1”信号或8251复位时，BRKDET变为低电平。

/RxC: 接收时钟

TxD: 发送数据，将CPU送入的并行数据转化为串行格式后，从TxD端输出

TxRDY: 发送数据准备好，TxRDY=1表示发送数据缓冲器已经准备好从CPU接收一个字符数据，CPU可采用中断或者查询方式输出一个数据。

TxE: 发送器空，TxE=1表示发送移位缓存器中已无数据向外发送。此时，由TxD输出空闲位。当8251从CPU接收到一个数据后，TxE=”0”。

/TxC: 发送时钟

DB7~DB0: 三态双向数据总线，可连接到CPU数据总线，CPU和8251A之间的状态信息、命令信息及数据都是通过这组总线传送的。

CLK: 输入产生8251A的内部时序，CLK的频率在同步方式工作时必须大于接收器和发送器输入时钟频率的30倍；在异步方式工作时必须大于输入时钟的4.5倍。

/CS: 片选信号，低电平有效，由CPU的IO及地址信号经译码后提供。

C/‾D: 控制/数据端，为高电平时CPU从数据总线读入的是状态信息；为低电平时，CPU读入的是数据。同样，C/‾D 为高电平时CPU写入的是命令；C/‾D为低电平时CPU输出的是数据。此引脚与CPU的一条地址线相连。

RESET: 芯片复位信号，为高电平时8251A的各寄存器处于复位状态。收、发线路上均处于空闲状态。通常该信号与系统的复位线相连。

/RD: CPU读8251A的控制信号，低电平有效

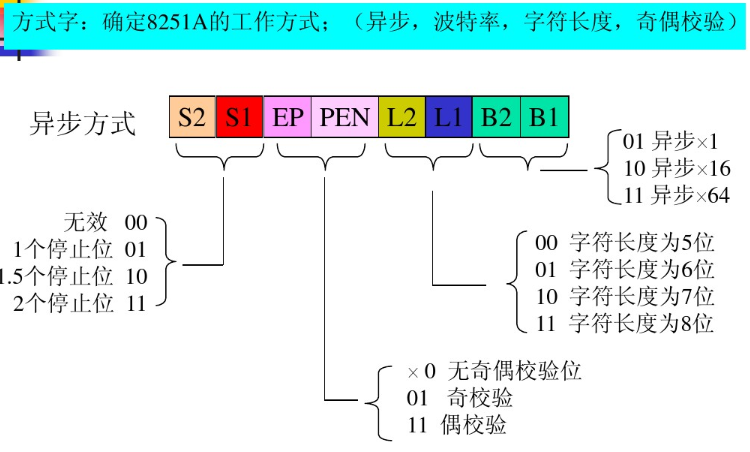
/WR: CPU向8251A写控制信号，低电平有效

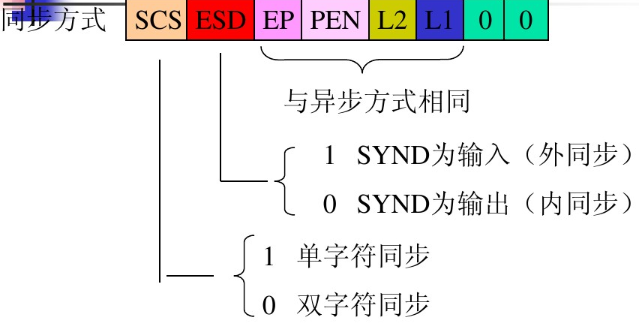
8251A读/写功能表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  | C/ | 操 作 |
| 0 | 0 | 1 | 0 | CPU读8251的数据 |
| 0 | 1 | 0 | 0 | CPU向8251写数据 |
| 0 | 0 | 1 | 1 | CPU读8251状态字 |
| 0 | 1 | 0 | 1 | CPU向8251写控制字 |
| 0 | 1 | 1 | \* | 数据总线浮空 |
| 1 | \* | \* | \* | 数据总线浮空 |

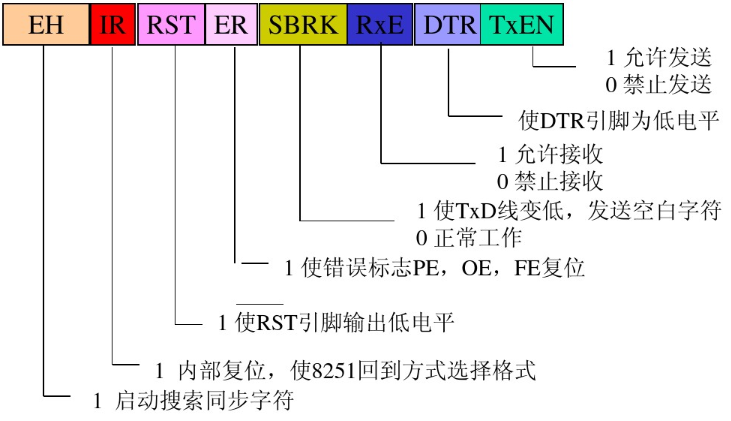
8251A编程控制

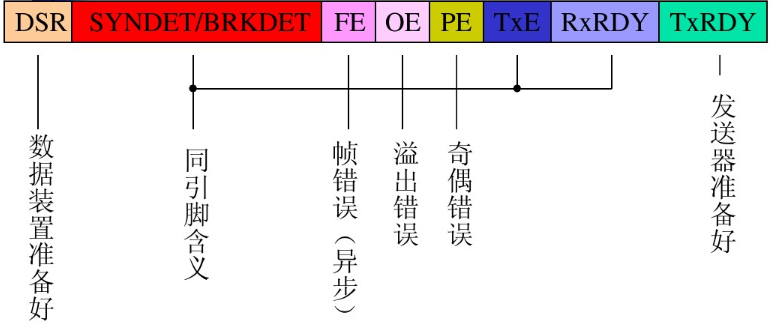
8251A是可编程串行接口，在使用之前必须由程序对其工作状态进行设定（称为初始化），其中包括同步方式还是异步方式、传输波特率、字符代码位数、校验方式、停止位位数等。其内部既有数据寄存器，还有控制字寄存器和状态寄存器。控制字寄存器用于8251A的方式控制和命令控制，状态寄存器则存放8251A的状态信息。

1. 方式控制字



1. 命令控制字

命令控制字用来控制8251A的工作，使8251A处于规定的状态以准备发送或接收数据，应在写入方式控制字后写入。

1. 状态字

8251A的初始化和编程应用

1. 工作方式控制字

D1D0确定是工作于同步方式还是异步方式。D1D0 = 00为同步方式，当方式设为同步时，方式控制字后必须装入同步字符，并由同一个方式控制字规定装入单同步字符还是双同步字符；D1D0 ≠ 00为异步方式，且有三种组合来选择输入的时钟频率与波特率之间的系数。

D3D2确定每个字符的数据位（不包括奇偶校验位）

D5D4确定是否校验以及奇偶校验的性质。

D7D6 含义因同步异步方式而异。异步方式时用来确定停止位个数。同步方式时D6用来确定是内同步（SYNDET脚为输出）还是外同步（SYNDET为输入），D7用来确定同步字符个数。外同步方式时，同步字符只用于发送，接收时不起作用。

接下来举例说明：  
某异步通讯，数据位为8位，1位起始位、两位停止位、奇校验、波特率系数为16。

则有：11011110B = 0DEH

MOV DX, 309H; 8251A命令口

MOV AL, 0DEH

OUT DX, AL

1. 工作命令控制字

D0 设置为1允许8251A开始发送操作。只有命令字的D0 = 1，引脚TXDRY（通知CPU，发送器准备好）才可能有效。可作为发送中断屏蔽位。

D1设置为1强制引脚DTR有效，表示数据终端准备好，通知调制解调器：8251A已准备好。

D2设置为1允许8251A开始接收数据。只有命令字D2 = 1，RXRDY（通知CPU接收器准备好的引脚）才有可能为1。允许接收时必须使错误标志复位（见D4）在同步方式时还必须指定进入同步搜索操作（见D7）。

D3设置为1迫使TXD发送低电平，以此作断点字符。

D4设置为1则对状态字中的所有操作出错标志（FE, OE, PE）复位。

D5设置为1强制RTS引脚（请求发送）有效，向调制解调器提出发送请求。

D6设置为1强制8251A内部复位，使之回到准备接收方式字的状态。

D7只用于同步方式。为使8251A进入同步搜索操作，将输入的信息和同步字符比较，一致则使SYNDET/BRKDET引脚有效，开始对数据的接收操作。

例：若要使8251A内部复位且允许接收/发送，则有

MOV DX, 309H

MOV AL, 40H; D6=1,复位

OUT DX, AL

MOV AL, 05H; D2=1, D0=1

OUT DX, AL

1. 状态字

状态字的作用是8251A向CPU送去数据传送操作中的各种状态信息。方式字、同步字符、命令字都是CPU写入8251A的，以控制8251A的工作方式和操作。 那么，8251A在发送、接收数据过程中实际工作状态如何呢？如一个字符接收全了没有？接收的数据有没有错误？有什么类型的错误？发送缓冲器空了没有？发送移位寄存器空了没有？等等，这些在发送/接收数据操作过程中的状态信息随时寄存在8251A内部的状态缓冲寄存器中，CPU可以通过I/O读操作（=1）把状态字读入加以分析，控制CPU和8251A之间的数据交换。

状态位D0(TXRDY)——发送器准备好

状态位D1(RXRDY)——接收准备好

状态位D2(TxE)——发送器空

状态位D3(PE)——奇偶校验错标志

状态位D4(OE)——溢出（覆盖）错误标志

状态位D5(FE)——帧格式出错标志

状态位D6(SYNDET)——同步检测

状态位D7(DSR)——数据装置准备好

例：8251A工作于异步方式，方式选择控制字为11111011B，工作命令控制字为00010001B。则其初始化程序为：  
 MOV AL, 0FBH; 8251A方式选择控制字

OUT CONTR, AL

MOV AL, 11H; 8251A操作命令字

OUT CONTR, AL

...